

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-143017

(43)Date of publication of application : 18.06.1991

(51)Int.Cl.

H03K 19/0948  
H03K 17/687

(21)Application number : 01-281047

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 27.10.1989

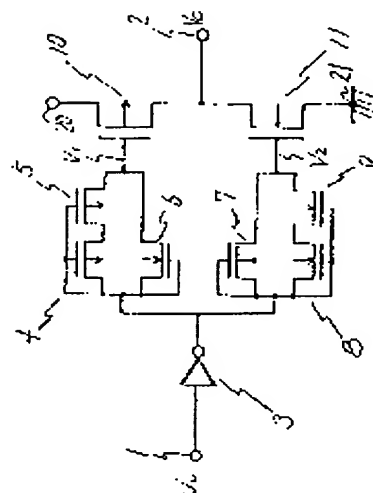
(72)Inventor : YAMANE HIROMICHI

## (54) CMOS LOGIC CIRCUIT

### (57)Abstract:

**PURPOSE:** To evade a time when two output transistors (TRs) are simultaneously turned on by driving separately a PMOS output TR and an NMOS output TR at switching.

**CONSTITUTION:** The circuit consists of an input terminal 1, an output terminal 2, an inverter 3, PMOS TRs 4, 5, 7, NMOS TRs 6, 8, 9, a PMOS output TR 10 and an NMOS output TR 11. Then the on-resistance of 1st PMOS TRs 4, 5 is selected larger than the on-resistance of a 2nd PMOS TR 7 and the on-resistance of the 2nd NMOS TR 7 is selected larger than the on-resistance of a 1st NMOS TR 6. Then one TR is operated with a delay so that the P, N channel MOS TRs 10, 11 are not simultaneously activated but inverted with a prescribed delay time. Thus, no large tentative through-current flows and malfunction due to wiring noise and increase in power consumption are controlled.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-143017

⑤ Int.Cl.<sup>s</sup>  
H 03 K 19/0948  
17/687

識別記号 庁内整理番号

⑬ 公開 平成3年(1991)6月18日

8326-5J H 03 K 19/094 B  
7827-5J 17/687 F  
審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 CMOS論理回路

⑮ 特 願 平1-281047

⑯ 出 願 平1(1989)10月27日

⑰ 発 明 者 山 根 弘 道 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑱ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

CMOS論理回路

2. 特許請求の範囲

カスケード接続されたPチャネルMOSトランジスタ、NチャネルMOSトランジスタを出力部に備え、前記PチャネルMOSトランジスタと入力端子との間にMOSトランジスタからなる第1の回路を設け、前記NチャネルMOSトランジスタと前記入力端子との間にMOSトランジスタからなる第2の回路を設け、前記第1、第2の回路は、前記P、NチャネルMOSトランジスタが互いに同時動作しないで所定時間遅れて反転動作するように一方のトランジスタを遅らせる機能を備えていることを特徴とするCMOS論理回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はCMOS論理回路に関する。

〔従来の技術〕

従来のCMOS論理回路は、第3図に示すように、カスケード接続されたPMOS出力トランジスタ15とNMOS出力トランジスタ16との各ゲートを、入力端子12を有するインバータ14で同時に駆動するようにしており、出力トランジスタ15および16は、出力端子13の先に大きな電流が供給できるようにトランジスタサイズを大きくし、インバータ14は高集積化、高速化の為にトランジスタサイズを小さくしている。

〔発明が解決しようとする課題〕

前述した従来のCMOS論理回路は、インバータ14により、PMOS出力トランジスタとNMOS出力トランジスタとを、スイッチング時に同時に駆動するようになっているので、その時2つのトランジスタ15、16が同時にオン状態になる時間が生じ、かつ2つの出力トランジスタ15、16のサイズが大きいことにより、スイッチング時に電源供給端子17から接地端子18へ向けて

大きな貫通電流が流れ、接地端子18の配線にノイズが生じ回路の誤動作をまねいたり、CMOS論理回路自身の消費電力が増大するという欠点がある。

本発明の目的は、前記欠点が解決され、一時的に大きな貫通電流が流れないようにし、もって配線ノイズによる誤動作や消費電力の増大等を抑制したCMOS論理回路を提供することにある。

〔課題を解決するための手段〕

本発明のCMOS論理回路の構成は、カスケード接続されたPチャネルMOSトランジスタ、NチャネルMOSトランジスタを出力部分に備え、前記PチャネルMOSトランジスタと入力端子との間にMOSトランジスタからなる第1の回路を設け、前記NチャネルMOSトランジスタと前記入力端子との間にMOSトランジスタからなる第2の回路を設け、前記第1、第2の回路は、前記P、NチャネルMOSトランジスタが互いに同時動作しないで所定時間遅れて反転動作するように一方のトランジスタを遅らせる機能を備えている

MOSトランジスタとのソース同士及びドレイン同士を共通に接続し、かつその共通に接続したドレインを第2のPMOS及び第2のNMOSトランジスタのゲートに接続した第2のトランジスタペアと、第3のPMOSトランジスタ10と第3のNMOSトランジスタ11のドレイン同士を共通に接続し、かつ第3のPMOSトランジスタ10のソースを電源供給端子20の高電位側へ接続し、第3のNMOSトランジスタ10のソースを電源供給端子21の低電位側に接続した第3のトランジスタペアを有し、第1のトランジスタペアの共通なソースを第3のPMOSトランジスタ10のゲートに接続し、第2のトランジスタペアの共通なソースを第3のNMOSトランジスタ11のゲートに接続し、第1及び第2のトランジスタペアの共通に接続したドレイン同士を接続して、インバータ3を介して入力端子1とし、第3のトランジスタペアの共通なドレインを出力端子2とし、第1のPMOSトランジスタのオン抵抗値を、第2のPMOSトランジスタのオン抵抗値よりも大

ことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のCMOS論理回路の回路図、第2図は第1図の本実施例に入力信号 $V_i$ を入力した時の動作を示す波形図である。

第1図、第2図において、本実施例のCMOS論理回路は、入力端子1と、出力端子2と、インバータ3と、PMOSトランジスタ4、5、7と、NMOSトランジスタ6、8、9と、PMOS出力トランジスタ10と、NMOS出力トランジスタ11とを備えている。即ち、本実施例のCMOS論理回路は、2個のPMOSトランジスタ4、5からなる第1のPMOSトランジスタと第1のNMOSトランジスタ6とのソース同士及びドレイン同士を共通に接続し、その共通に接続したドレインを第1のPMOS及び第1のNMOSトランジスタ6のゲートに接続した第1のトランジスタペアと、第2のPMOSトランジスタ7と2個のNMOSトランジスタ8、9からなる第2のN

きくし、かつ第2のNMOSトランジスタのオン抵抗値を第1のNMOSトランジスタのオン抵抗値よりも大きくしたことを特徴とする。

ここで、入力信号 $V_i$ 、出力信号 $V_o$ は各々CMOS論理回路に対する信号、入力信号 $V_i$ 、 $V_o$ は各々PMOS及びNMOS出力トランジスタ10、11への入力信号、閾値電圧 $V_{TP}$ 、 $V_{TN}$ は各々PMOS及びNMOSトランジスタ4、5、7；6、8、9の閾値電圧、閾値電圧 $V_{TP}'$ 、 $V_{TN}'$ は各々PMOS及びNMOS出力トランジスタ10、11の閾値電圧、時刻 $t_1$ 、 $t_2$ は各々NMOS出力トランジスタ11がオン及びオフする時刻、時刻 $t_3$ 、 $t_4$ は各々PMOS出力トランジスタがオン及びオフする時刻を示す。

第1図に於いて、入力端子1に入力信号 $V_i$ が入力されると、入力信号 $V_i$ はインバータ3により信号が反転して、PMOS及びNMOSトランジスタ4、5、6、7、8、9に入力される。入力信号 $V_i$ の立上り時に於いて、インバータ3の出力が高(High)レベルから低(Low)レベルに変

化する為、PMOSトランジスタ4, 5, 7は導通状態となり、NMOSトランジスタ6, 8, 9は非導通状態となる。この時、第2図に示すように、各々のトランジスタペアの出力電圧 $V_1$ ,  $V_2$ は、 $(V_{DD}-|V_{TN}|)$ のレベルから $(GND+|V_{TP}|)$ のレベルに変化するが、出力電圧 $V_1$ の変化はPMOSトランジスタ4, 5で起こるのに対し、出力電圧 $V_2$ の変化はPMOSトランジスタ7で起こる為、出力電圧 $V_1$ の高(High)から低(Low)への変化時間は、出力電圧 $V_2$ のそれに比べ長くなる。これにより、カスケード接続されたPMOS, NMOS出力トランジスタ10, 11は、はじめに時刻 $t_1$ でNMOS出力トランジスタ11がオフし、次に時刻 $t_2$ でPMOS出力トランジスタ10がオフすることになり、PMOS及びNMOSの両出力トランジスタ10, 11が同時にオン状態になる時間が無くなる。

次に入力信号の立下り時に於いて説明する。インバータ3の出力が、LowレベルからHighレベルに変化する為、PMOSトランジスタ4,

5, 6は非導通状態となり、NMOSトランジスタ6, 8, 9は導通状態となる。この時、第2図に示すように、トランジスタペアの出力電圧 $V_1$ ,  $V_2$ は、 $(GND+|V_{TP}|)$ のレベルから $(V_{DD}-|V_{TN}|)$ のレベルに変化するが、出力電圧 $V_1$ の変化は、NMOSトランジスタ8, 9で起こるのに対し、出力電圧 $V_2$ の変化は、NMOSトランジスタ7で起こる為、出力電圧 $V_2$ のLowからHighの変化時間は、出力電圧 $V_1$ のそれに比べ長くなる。これにより、カスケード接続されたPMOS, NMOS出力トランジスタ10, 11は、時刻 $t_1$ でPMOS出力トランジスタ10がオフし、時刻 $t_2$ でNMOS出力トランジスタ11がオンすることになり、前述同様の結果が得られる。

このように、入力信号 $V_i$ の立上り、立下りによるCMOS論理回路のスイッチング動作に於いて、2つの出力トランジスタが同時にオン状態となる時間が無い為、その時に電源供給端子から接地端子へ向けて貫通電流が流れず、消費電力を小

さくするという効果が得られる。

尚、本実施例では、PMOSトランジスタ4及び5を第1図のように接続することにより、PMOSトランジスタ7に対して、等価的にオン抵抗値を大きくしている。また、NMOSトランジスタ6, 8, 9の関係も同様である。

本実施例のCMOS論理回路は、スイッチング時にPMOS出力トランジスタとNMOS出力トランジスタとを別々に駆動することにより、2つの出力トランジスタが同時にオン状態となる時間を無くすため、その時に電源供給端子から接地端子へ向けて大きな貫通電流が流れず、またCMOS論理回路自身の消費電力も少なくなる。

〔発明の効果〕

以上説明したように、本発明のCMOS論理回路によれば、スイッチング時にPMOS出力トランジスタとNMOS出力トランジスタとを別々に駆動することにより、2つの出力トランジスタが同時にオン状態となる時間を無くし、その時に電源供給端子から接地端子へ向けて大きな貫通電流

が流れず、またCMOS論理回路自身の消費電力を少なくする効果がある。

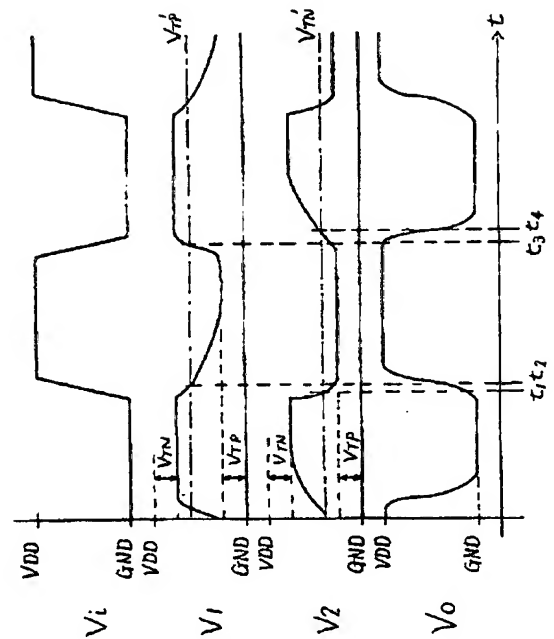
#### 4. 図面の簡単な説明

第1図は本発明の一実施例のCMOS論理回路の回路図、第2図は第1図の本実施例に入力信号を入力した時の動作を示す波形図、第3図は従来のCMOS論理回路の回路図である。

1, 12……入力端子、2, 13……出力端子、3, 14……インバータ、4, 5, 7……PMOSトランジスタ、6, 8, 9……NMOSトランジスタ、10, 15……PMOS出力トランジスタ、11, 16……NMOSトランジスタ、 $V_i$ ……CMOS論理回路への入力信号、 $V_o$ ……CMOS論理回路からの出力信号、 $V_1$ ……PMOS出力トランジスタへの入力信号、 $V_2$ ……NMOS出力トランジスタへの入力信号、 $V_{TP}$ ……PMOSトランジスタの閾値電圧、 $V_{TN}$ ……NMOSトランジスタの閾値電圧、 $V_{TP}'$ ……PMOS出力トランジスタの閾値電圧、 $V_{TN}'$ ……NMOS出

カトランジスタの閾値電圧、 $t_1$ ……NMOS出  
カトランジスタがオフする時刻、 $t_2$ ……PMO  
S出力トランジスタがオンする時刻、 $t_3$ ……P  
MOS出力トランジスタがオフする時刻、 $t_4$ ……  
…NMOS出力トランジスタがオンする時刻。

代理人 弁理士 内 原 晋



第2図

